



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0042135
Application Number

출원년월일 : 2003년 06월 26일
Date of Application JUN 26, 2003

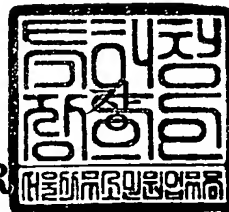
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 10 월 10 일

특 허 청

COMMISSIONER





【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0006
【제출일자】	2003.06.26
【국제특허분류】	G06F
【발명의 명칭】	동적으로 버스 점유 우선 순위를 정하는 버스 중재기 및 그 버스 중재 방법
【발명의 영문명칭】	Dynamic bus arbitration method and bus aribotor
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	이천수
【성명의 영문표기】	LEE, Cheon Su
【주민등록번호】	721025-1482417
【우편번호】	449-711
【주소】	경기도 용인시 기흥읍 삼성전자(주)기흥공장 남자기숙사 마로니에동 1204호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)



1020030042135

출력 일자: 2003/10/16

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 11 면 11,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 17 항 653,000 원

【합계】 693,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통



【요약서】

【요약】

동적으로 버스 점유 우선 순위를 정하는 버스 중재기 및 그 버스 중재 방법이 개시된다. 본 발명의 버스 중재 방법은 CPU와 제1 및 제2 마스터 장치에 공유되는 시스템 버스를 중재하는 방법에 있어서, CPU, 제1 및 제2 마스터 장치 각각의 기본 버스 점유율과 가변 버스 점유율을 저장하는 단계와, CPU로 제공되는 인터럽트 신호의 활성화에 응답하여 CPU의 기본 버스 점유율과 가변 버스 점유율을 합한 버스 점유율과 제1 및 제2 마스터 장치들 각각의 기본 버스 점유율을 버스 중재기로 입력하는 단계와, 인터럽트 신호의 비활성화에 응답하여 CPU의 기본 버스 점유율에서 가변 버스 점유율을 뺀 버스 점유율과 제1 및 제2 마스터 장치들 각각의 기본 버스 점유율을 버스 중재기로 입력하는 단계와, 그리고 버스 중재기로 입력되는 CPU, 제1 및 제2 마스터 장치의 버스 점유율의 비율에 따라 시스템 버스의 사용 순위를 조정하는 단계를 포함한다. 따라서, 본 발명의 버스 중재 방법에 의하면, CPU의 인터럽트 서비스 동안에는 CPU에게 버스 사용권을 좀 더 많이 할당하여 인터럽트 서비스를 위한 대기 시간 및 처리 시간을 줄여서 인터럽트 서비스를 좀 더 빠른 시간 내에 처리토록 하고, CPU의 인터럽트 서비스 이외의 시간 동안에는 다른 버스 마스터 장치들에게 버스 사용권을 좀 더 할당하여 RTOS(Real Time Operating System)의 동작에 부응한다.

【대표도】

도 3

【색인어】

버스 중재 방법, 버스 중재기, 인터럽트 신호, 특권 신호

【명세서】**【발명의 명칭】**

동적으로 버스 점유 우선 순위를 정하는 버스 중재기 및 그 버스 중재 방법{ Dynamic bus arbitration method and bus aribotor }

【도면의 간단한 설명】

도 1은 SOC로 구현된 멀티 프로세서 시스템을 설명하는 도면이다.

도 2는 종래의 버스 중재 알고리즘에 설정된 중재 우선 순위율을 설명하는 도면이다.

도 3은 본 발명의 제1 실시예에 따른 버스 사용권 중재 방법을 설명하는 도면이다.

도 4는 본 발명의 제2 실시예에 따른 버스 사용권 중재 방법을 설명하는 도면이다.

도 5는 본 발명의 제3 실시예에 따른 버스 사용권 중재 방법을 설명하는 도면이다.

도 6은 본 발명의 제4 실시예에 따른 버스 사용권 중재 방법을 설명하는 도면이다.

도 7은 본 발명의 제1 내지 제3 실시예에서 설명한 버스 중재기를 채용하는 다층 시스템 버스(Multi Layer System Bus) 구조를 설명하는 도면이다.

도 8은 본 발명의 제1 내지 제3 실시예에서 설명한 버스 중재기를 채용하는 PCI 시스템을 설명하는 도면이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<9> 본 발명은 버스 중재기에 관한 것으로, 특히 인터럽트 신호 또는 특권 신호를 이용하여 버스 점유 우선 순위를 정하는 버스 중재기 및 그 버스 중재 방법에 관한 것이다.

- <10> 오늘날, 데이터 프로세싱 시스템은 더욱 복잡해져서, 프로세싱 효율과 속도를 증가시키기 위하여 다수개의 프로세서들을 분산시키거나 또는 병렬 프로세싱 방법을 채용한다. 다양한 기능 블록들을 포함하는 데이터 프로세싱 시스템은 하나의 칩(System On Chip: SOC) 상에 구현되는 추세에 있다. SOC 내부에는 버스 또는 메모리 등을 공유하는 버스 마스터 장치들이 있다. 버스 중재기는 예컨대, 버스 마스터 장치들이 동시에 버스에 접근하는 것을 방지하기 위하여 버스 접근을 제어한다.
- <11> 도 1은 SOC로 구현된 데이터 프로세싱 시스템을 설명하는 도면이다. 이를 참조하면, 데이터 프로세싱 시스템(100)은 제1 버스 마스터 장치인 CPU(102), 제2 버스 마스터 장치인 IP1(104), 제3 버스 마스터 장치인 IP2(106), 버스 슬레이브 장치인 IP3(108), 그리고 버스 중재기(110)를 포함하고, CPU(102), IP1(104), IP2(106), 그리고 IP3(108)은 시스템 버스(120)를 공유한다. IP1(104) 및 IP2(106) 장치로는 PCI 마스터 컨트롤러, DMA 컨트롤러, 또는 이더넷(Ethernet) 컨트롤러 등이 있고, IP3(108) 장치로는 메모리 컨트롤러가 있다.
- <12> 이러한 데이터 프로세싱 시스템(100)은 CPU(102), IP1(104) 및 IP(106) 장치들이 버스 중재기(110)로 버스 요구(REQ) 신호를 보내고, 버스 중재기(110)는 CPU(102), IP1(104) 및 IP(106) 장치들 중 어느 하나의 장치를 선택하고, 선택된 장치로 버스 허가(GNT) 신호를 송신하는 일련의 과정을 통해 버스 사용권이 결정된다. 버스 중재기(110)는 일반적으로 버스 중재 알고리즘에 설정된 중재 우선 순위율을 이용하여, 시스템 버스(120)를 사용할 다음 마스터 장치를 결정한다. 버스 중재 알고리즘에는 도 2에 도시된 중재 우선 순위율이 저장된다.
- <13> 도 2를 참조하면, 중재 우선 순위율(210)은 각 마스터 장치마다 일정한 버스 점유 %가 설정되어 있는 데, CPU(102)는 a%로, IP1 장치(104)는 b%로, 그리고 IP2 장치(106)는 c%로 설정되어 있다. 여기에서, CPU의 a%는 IP1의 b% 또는 IP2의 c%보다 크게 설정되는 것이 일반적이

다. 이에 따라, 버스 중재기(110)는 각 버스 마스터 장치들(102, 104, 106)의 버스 요구 신호(REQ)에 대하여 시스템 버스(120)의 사용권을 CPU(102)에게 좀 더 많이 주고, IP1 장치(104) 또는 IP2 장치(106)에게는 좀 더 적게 주는 식으로 버스 사용을 조정한다.

<14> 한편, 데이터 압축(compression) 및 해제(decompression)가 실시간으로 요구되는 시스템(Real Time Operation System:RTOS)에서 시스템 버스(120) 사용권을 스위칭하는 동작에 있어서, 도 2와 같이 각 버스 마스터 장치들(102, 104, 106)마다 고정된 중재 우선 순위율을 이용하여 시스템 버스(120) 사용권을 조정하게 되면, CPU(102)가 고속 처리 동작을 위해 시스템 버스(120)를 사용하지 않는 동안에도 CPU(102)에게 항상 높은 우선 순위를 주고 IP1 장치(104) 또는 IP2 장치(106)의 버스 요구 신호(REQ)에 즉각적으로 대응하지 못하기 때문에, 버스 사용 효율이 낮다. 그리고 RTOS 시스템의 동작 유형에 따라 시스템 버스(120) 사용권을 수시로 바꾸면서 즉각 대응하는 높은 성능을 기대하기는 더욱 어렵다.

<15> 따라서, RTOS 멀티 프로세서 시스템에서 시스템 버스 사용 효율을 높일 수 있는 방안이 적극적으로 요구된다.

【발명이 이루고자 하는 기술적 과제】

<16> 본 발명의 목적은 RTOS 멀티 프로세서 시스템의 버스 사용 효율을 높일 수 있는 방법을 제공하는 데 있다.

<17> 본 발명의 다른 목적은 버스 사용 효율을 높일 수 있는 버스 중재기를 포함하는 RTOS 멀티 프로세서 시스템을 제공하는 데 있다.

【발명의 구성 및 작용】

- <18> 상기 목적을 달성하기 위하여, 본 발명의 제1 예는 CPU와 제1 및 제2 마스터 장치에 공유되는 시스템 버스를 중재하는 방법에 있어서, CPU, 제1 및 제2 마스터 장치 각각의 기본 버스 점유율과 가변 버스 점유율을 저장하는 단계; CPU로 제공되는 인터럽트 신호의 활성화에 응답하여 CPU의 기본 버스 점유율과 가변 버스 점유율을 합한 버스 점유율과 제1 및 제2 마스터 장치들 각각의 기본 버스 점유율을 버스 중재기로 입력하는 단계; 인터럽트 신호의 비활성화에 응답하여 CPU의 기본 버스 점유율에서 가변 버스 점유율을 뺀 버스 점유율과 제1 및 제2 마스터 장치들 각각의 기본 버스 점유율을 상기 버스 중재기로 입력하는 단계; 및 버스 중재기로 입력되는 CPU, 제1 및 제2 마스터 장치의 버스 점유율의 비율에 따라 시스템 버스의 사용 순위를 조정하는 단계를 포함한다.
- <19> 상기 목적을 달성하기 위하여, 본 발명의 제2 예는 CPU와 제1 및 제2 마스터 장치에 공유되는 시스템 버스를 중재하는 방법에 있어서, CPU, 제1 및 제2 마스터 장치 각각의 기본 버스 점유율과 가변 버스 점유율을 저장하는 단계; CPU의 특권 모드 신호의 활성화에 응답하여 CPU의 기본 버스 점유율과 가변 버스 점유율을 합한 버스 점유율과 상기 제1 및 제2 마스터 장치들 각각의 기본 버스 점유율을 버스 중재기로 입력하는 단계; 특권 모드 신호의 비활성화에 응답하여 CPU의 기본 버스 점유율에서 가변 버스 점유율을 뺀 버스 점유율과 제1 및 제2 마스터 장치들 각각의 기본 버스 점유율을 버스 중재기로 입력하는 단계; 및 버스 중재기로 입력되는 CPU, 제1 및 제2 마스터 장치의 버스 점유율의 비율에 따라 시스템 버스의 사용 순위를 조정하는 단계를 포함한다.
- <20> 상기 목적을 달성하기 위하여, 본 발명의 제3 예는 CPU와 제1 및 제2 마스터 장치에 공유되는 시스템 버스를 중재하는 방법에 있어서, CPU, 제1 및 제2 마스터 장치 각각의 기본 버

스 점유율과 가변 버스 점유율을 저장하는 단계; CPU로의 인터럽트 신호 또는 CPU의 특권 모드 신호의 활성화에 응답하여 CPU의 기본 버스 점유율과 가변 버스 점유율을 합한 버스 점유율과 제1 및 제2 마스터 장치들 각각의 기본 버스 점유율을 버스 중재기로 입력하는 단계; CPU로의 인터럽트 신호 및 CPU의 특권 모드 신호의 비활성화에 응답하여 CPU의 기본 버스 점유율에서 가변 버스 점유율을 뺀 버스 점유율과 제1 및 제2 마스터 장치들 각각의 기본 버스 점유율을 버스 중재기로 입력하는 단계; 및 버스 중재기로 입력되는 CPU, 제1 및 제2 마스터 장치의 버스 점유율의 비율에 따라 시스템 버스의 사용 순위를 조정하는 단계를 포함한다.

<21> 상기 다른 목적을 달성하기 위하여, 본 발명의 제1 예는 시스템 버스를 공유하는 CPU와 제1 및 제2 마스터 장치를 포함하는 시스템에 있어서, CPU의 기본 버스 점유율을 가감하는 가변 버스 점유율과 제1 및 제2 마스터 장치 각각의 기본 버스 점유율을 저장하는 장치; 및 CPU로 제공되는 인터럽트 신호에 응답하여 CPU의 기본 버스 점유율과 가변 버스 점유율을 합한 버스 점유율과 CPU의 기본 버스 점유율에서 가변 버스 점유율을 뺀 버스 점유율을 선택적으로 입력하고, 제1 및 제2 마스터 장치들 각각의 기본 버스 점유율을 입력하여, CPU와 제1 및 제2 마스터 장치의 버스 점유율의 비율에 따라 시스템 버스의 사용 순위를 조정하는 버스 중재기를 포함한다.

<22> 바람직하기로, 버스 중재기는 CPU로 제공되는 인터럽트 신호에 응답하여 CPU의 기본 버스 점유율과 가변 버스 점유율을 합한 버스 점유율과 CPU의 기본 버스 점유율에서 가변 버스 점유율을 뺀 버스 점유율을 선택적으로 입력하는 맥스부를 포함한다.

<23> 상기 다른 목적을 달성하기 위하여, 본 발명의 제2 예는 시스템 버스를 공유하는 CPU와 제1 및 제2 마스터 장치를 포함하는 시스템에 있어서, CPU의 기본 버스 점유율을 가감하는 가변 버스 점유율과 제1 및 제2 마스터 장치 각각의 기본 버스 점유율을 저장하는 장치; 및 CPU

로부터 발생하는 특권 모드 신호에 응답하여 CPU의 기본 버스 점유율과 가변 버스 점유율을 합한 버스 점유율과 CPU의 기본 버스 점유율에서 가변 버스 점유율을 뺀 버스 점유율을 선택적으로 입력하고, 제1 및 제2 마스터 장치들 각각의 기본 버스 점유율을 입력하여, CPU와 제1 및 제2 마스터 장치의 버스 점유율의 비율에 따라 시스템 버스의 사용 순위를 조정하는 버스 중재기를 포함한다.

<24> 상기 다른 목적을 달성하기 위하여, 본 발명의 제3 예는 시스템 버스를 공유하는 CPU와 제1 및 제2 마스터 장치를 포함하는 시스템에 있어서, CPU의 기본 버스 점유율을 가감하는 가변 버스 점유율과 제1 및 제2 마스터 장치 각각의 기본 버스 점유율을 저장하는 장치; 및 CPU로 제공되는 인터럽트 신호 또는 CPU로부터 발생하는 특권 모드 신호에 응답하여 CPU의 기본 버스 점유율과 가변 버스 점유율을 합한 버스 점유율과 CPU의 기본 버스 점유율에서 가변 버스 점유율을 뺀 버스 점유율을 선택적으로 입력하고, 제1 및 제2 마스터 장치들 각각의 기본 버스 점유율을 입력하여, CPU와 제1 및 제2 마스터 장치의 버스 점유율의 비율에 따라 시스템 버스의 사용 순위를 조정하는 버스 중재기를 포함한다.

<25> 바람직하기로, 버스 중재기는 인터럽트 신호와 상기 특권 모드 신호를 입력하는 오아 게이트를 포함하고, 인터럽트 신호 또는 특권 모드 신호에 응답하여 CPU의 기본 버스 점유율과 가변 버스 점유율을 합한 버스 점유율과 CPU의 기본 버스 점유율에서 가변 버스 점유율을 뺀 버스 점유율을 선택적으로 입력하는 먹스부를 포함한다.

<26> 상기 다른 목적을 달성하기 위하여, 본 발명의 제4 예는 CPU와 제1 및 제2 마스터 장치들 각각이 전용 버스를 사용하는 다층 버스 시스템에 있어서, CPU와 제1 마스터 장치 및 제2 마스터 장치 각각이 전용으로 사용하는 제1, 제2 및 제3

시스템 버스들; 및 제1 내지 제3 시스템 버스 모두에 연결되는 슬레이브 장치를 구비하고, 슬레이브 장치는 CPU의 기본 버스 점유율을 가감하는 가변 버스 점유율과 제1 및 제2 마스터 장치 각각의 기본 버스 점유율을 저장하는 장치; 및 CPU로 제공되는 인터럽트 신호 또는 CPU로부터 발생하는 특권 모드 신호에 응답하여 CPU의 기본 버스 점유율과 가변 버스 점유율을 합한 버스 점유율과 CPU의 기본 버스 점유율에서 가변 버스 점유율을 뺀 버스 점유율을 선택적으로 입력하고, 제1 및 제2 마스터 장치들 각각의 기본 버스 점유율을 입력하여, CPU와 제1 및 제2 마스터 장치의 버스 점유율의 비율에 따라 시스템 버스의 사용 순위를 조정하는 버스 중재기를 포함한다.

<27> 상기 다른 목적을 달성하기 위하여, 본 발명의 제5 예는 PCI 버스 시스템에 있어서, 다수개의 슬롯들과 연결되는 PCI 버스; PCI 버스와 연결되고 PCI 버스 시스템을 제어하는 호스트 장치; 슬롯들에 꽂히는 카드들의 기본 버스 점유율과 기본 버스 점유율을 가감하는 가변 버스 점유율을 저장하는 장치; 및 카드들에서 발생하는 인터럽트 신호들에 응답하여 카드들의 버스 점유율의 비율에 따라 PCI 버스의 사용 순위를 조정하는 버스 중재기를 포함한다.

<28> 바람직하기로, 호스트 장치는 PCI 브릿지 회로로 구성되고, 카드들은 그래픽 카드, 네트워크 카드 또는 사운드 카드로 구성된다.

<29> 상기 다른 목적을 달성하기 위하여, 본 발명의 제6 예는 카드 버스 시스템에 있어서, 카드 버스에 연결되는 카드; 카드 버스와 연결되고 카드 버스 시스템을 제어하는 호스트 장치; 카드의 기본 버스 점유율과 기본 버스 점유율을 가감하는 가변 버스 점유율을 저장하는 장치; 및 카드에서 발생하는 인터럽트 신호들에 응답하여 카드의 버스 점유율의 비율에 따라 카드 버스의 사용 순위를 조정하는 버스 중재기를 포함한다.

- <30> 따라서, 본 발명에 의하면, CPU의 인터럽트 서비스 동안에는 CPU에게 버스 사용권을 좀 더 많이 할당하여 인터럽트 서비스를 위한 대기 시간 및 처리 시간을 줄여서 인터럽트 서비스를 좀 더 빠른 시간 내에 처리토록 하고, CPU의 인터럽트 서비스 이외의 시간 동안에는 다른 버스 마스터 장치들에게 버스 사용권을 좀 더 할당하여 RTOS(Real Time Operating System)의 동작에 부응한다.
- <31> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 예시적인 실시예를 설명하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.
- <32> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- <33> 도 3은 본 발명의 제1 실시예에 따른 버스 사용권 중재 방법을 설명하는 도면이다. 이를 참조하면, 저장 장치(300)에는 마스터 장치들 마다의 중재 우선 순위율이 저장되어 있다. 저장 장치(300)로는 특수 레지스터들(Special Register)이 사용된다. CPU는 a-x(%) 및 a+x(%) 버스 점유율로 할당되고, 제1 마스터 장치(IP1)는 b(%) 버스 점유율로 할당되고, 그리고 제2 마스터 장치(IP2)는 c(%) 버스 점유율로 할당된다. 여기에서, a, b, c 및 x는 외부에서 설정 가능한 파라미터이다.
- <34> 인터럽트 콘트롤러(310)로부터 발생된 인터럽트 신호(INT)가 CPU(320)와 버스 중재기(330)의 먹스부(332)로 입력된다. 먹스부(332)는 인터럽트 신호(INTR)에 응답하여 CPU의 a-x(%) 또는 a+x(%)를 선택적으로 중재부(334)로 전송한다. 중재부(334)는 먹스부(332)의 출력과 제1 마스터 장치(IP1)의 b(%) 버스 점유율, 그리고 제2 마스터 장치(IP2)의 c(%) 버스 점유율을 입력하여 버스 점유 우선 순위를 조정한다.

- <35> 저장 장치(300)에 저장된 중재 우선 순위율 $a(\%)$, $b(\%)$ 및 $c(\%)$ 는 CPU, 제1 마스터 장치(IP1) 및 제2 마스터 장치(IP2)에 기본적으로 할당된 버스 점유율이고, $x(\%)$ 는 가변적으로 할당되는 버스 점유율이다. 예컨대, 기본값 $a=4(\%)$, $b=2(\%)$ 및 $c=2(\%)$ 로 할당된 상태에서 $x=1(\%)$ 로 설정하면, CPU는 5% 또는 3%의 버스 점유율을 갖게 된다. 인터럽트 신호(INT)가 로직 하이레벨로 활성화되면, 중재부(334)로는 CPU의 5%, 제1 마스터 장치(IP1)의 2% 그리고 제2 마스터 장치(IP2)의 2% 버스 점유율이 입력된다. 이에 따라, 중재부(334)는 CPU에게 5/9 비율의 버스 사용 우선권을 주고, 제1 마스터 장치(IP1)에게는 2/9 비율의 버스 사용 우선권을 주고, 제2 마스터 장치(IP2)에게는 2/9 비율의 버스 사용권을 준다.
- <36> 반면에, 인터럽트 신호(INT)가 로직 로우레벨로 비활성화되면, 중재부(334)로는 CPU의 3%, 제1 마스터 장치(IP1)의 2% 그리고 제2 마스터 장치(IP2)의 2% 버스 점유율이 입력되어, CPU에게는 3/7 비율의 버스 사용 우선권을, 제1 마스터 장치(IP1)에게는 2/7 비율의 버스 사용 우선권을, 그리고 제2 마스터 장치(IP2)에게는 2/7 비율의 버스 사용 우선권을 준다.
- <37> 이러한 버스 중재 방법은 인터럽트 신호(INT)가 활성화일 때에는 CPU(102)에게 제1 및 제2 마스터 장치들(IP1, IP2) 보다 좀 더 높은 비율의 버스 사용 우선권을 주어 CPU(102)가 시스템 버스를 소유하여 고속으로 동작해야 하는 인터럽트 서비스 루틴을 수행할 수 있도록 하고, 인터럽트 신호(INT)가 비활성일 때에는 CPU(102)의 버스 사용 우선권 비율을 낮추고 제1 또는 제2 마스터 장치들(IP1, IP2)에게 버스 사용 우선권 비율을 높임으로써 CPU(102)는 다소 느리게 동작해도 되는 일반 서비스 루틴을 수행하도록 하고 제1 또는 제2 마스터 장치들(IP1, IP2)에게 시스템 버스를 소유하여 해당 동작 기능을 수행토록 한다.
- <38> 본 실시예의 시스템 버스 사용권을 동적으로 할당하는 것으로, 시스템 버스가 비지(busy)할 경우에 가변 점유율 x 를 변화시켜 시스템 버스 사용을 원하는 해당 장치에게 버스 사

용 우선권 비율을 높여준다. 그리하여, 초기 기본 버스 점유율이 낮게 설정된 장치라 하더라도 버스 사용을 위해 기다리는 대기 시간이나 인터럽트 처리 시간을 짧게 하여 시스템 버스 사용권을 우선으로 할당할 수 있다.

<39> 도 4는 본 발명의 제2 실시예에 따른 버스 사용권 중재 방법을 설명하는 도면이다. 이를 참조하면, 도 3의 인터럽트 신호(INTR) 대신에 CPU(320)에서 발생하는 특권 모드 신호(privilege mode signal:PMS)를 이용하여 시스템 버스 사용권을 동적으로 할당한다는 점에서 차이가 있다. 특권 모드 신호(PMS)는 시스템의 모든 영역을 액세스(access)할 수 있는 신호로써, 일반 사용자 모드(user mode)에서 액세스하지 못하는 영역도 액세스할 수 있다. 본 실시예의 시스템 버스 중재 방법은 도 3의 시스템 버스 중재 방법과 거의 동일하므로, 설명의 중복을 피하기 위하여 구체적인 설명은 생략한다.

<40> 간단히, 기본값 $a=4(\%)$, $b=2(\%)$ 및 $c=2(\%)$ 로 할당된 상태에서 가변 점유율 x 는 1%로 설정하면, CPU(320)의 특권 모드 신호(PMS)가 로직 하이레벨로 활성화되면 중재부(334)로는 CPU의 5%, 제1 마스터 장치(IP1)의 2% 그리고 제2 마스터 장치(IP2)의 2% 버스 점유율이 입력되어, CPU에게 기본 4/8의 버스 사용 우선 비율 보다 높은 5/9의 버스 사용 우선 비율이, 그리고 제1 마스터 장치(IP1) 또는 제2 마스터 장치(IP2)에게는 기본 2/8의 버스 사용 우선 비율 보다 낮은 2/9의 버스 사용 우선 비율이 할당된다. 그리고 CPU(320)의 특권 모드 신호(PMS)가 로직 로우레벨로 비활성화되면, 중재부(334)로는 CPU의 3%, 제1 마스터 장치(IP1)의 2% 그리고 제2 마스터 장치(IP2)의 2% 버스 점유율이 입력되어, CPU에게는 기본 4/8의 버스 사용 우선 비율 보다 낮은 3/7의 버스 사용 우선 비율이, 그리고 제1 마스터 장치(IP1) 또는 제2 마스터 장치(IP2)에게는 기본 2/8의 버스 사용 우선 비율 보다 높은 2/7의 버스 사용 우선 비율이 할당된

다. 그러므로, 본 실시예에서는 CPU(320)의 특권 모드 신호(PMS)와 다양한 가변 점유율 x 를 이용하여 시스템 버스 사용을 원하는 해당 장치에게 버스 사용 우선권 비율을 높여준다.

<41> 도 5는 본 발명의 제3 실시예에 따른 버스 중재 방법을 설명하는 도면이다. 이를 참조하면, 인터럽트 신호(INTR)와 특권 모드 신호(PMS)를 이용하여 시스템 버스 사용권을 조정한다.

<42> 버스 중재기(530)는 인터럽트 신호(INTR)와 특권 모드 신호(PMS)를 입력하는 로직 회로(532), 로직 회로(532)의 출력에 응답하는 맥스부(534), 그리고 맥스부(534)의 출력과 제1 및 제2 마스터 장치(IP1, IP2)의 버스 점유율을 입력하는 중재부(536)를 포함한다. 로직 회로(532)는 인터럽트 신호(INTR) 또는 특권 모드 신호(PMS)의 활성화에 응답하여 로직 하イレ벨을 발생하는 데, 오아 게이트로 구성되는 것이 바람직하다.

<43> 기본값 $a=4(\%)$, $b=2(\%)$ 및 $c=2(\%)$ 로 할당된 상태에서 가변 점유율 x 는 1%로 설정하면, 로직 하イレ벨의 로직 회로(532) 출력에 응답하여 중재부(334)로 CPU의 5%, 제1 마스터 장치(IP1)의 2% 그리고 제2 마스터 장치(IP2)의 2% 버스 점유율이 입력되어, CPU에게는 기본 4/8의 버스 사용 우선 비율 보다 5/9의 높은 버스 사용 우선 비율이, 그리고 제1 마스터 장치(IP1) 또는 제2 마스터 장치(IP2)에게는 기본 2/8의 버스 사용 우선 비율 보다 낮은 2/9의 버스 사용 우선 비율이 할당된다. 그리고, 로직 로우레벨의 로직 회로(532) 출력에 응답하여 중재부(334)로는 CPU의 3%, 제1 마스터 장치(IP1)의 2%, 그리고 제2 마스터 장치(IP2)의 2% 버스 점유율이 입력되어, CPU에게는 기본 4/8의 버스 사용 우선 비율 보다 낮은 3/7의 버스 사용 우선 비율이, 그리고 제1 마스터 장치(IP1) 또는 제2 마스터 장치(IP2)에게는 기본 2/8의 버스 사용 우선 비율 보다 높은 2/7의 버스 사용 우선 비율이 할당된다.

<44> 도 6은 본 발명의 제1 내지 제3 실시예에서 설명한 버스 중재기를 채용하는 단층 시스템 버스(Single Layer System Bus) 구조를 설명하는 도면이다. 이를 참조하면, 단층 시스템 버스

(660)를 공유하는 CPU(610), 제1 마스터 장치 IP1(620), 그리고 제2 마스터 장치 IP2(630)의 버스 사용권이 버스 중재기(640)에 의해 조정되고, 버스 중재기(640)는 외부 레지스터(650)에 설정된 버스 우선 순위율에 의해 변화되는 버스 점유율에 따라서 단층 시스템 버스(660)의 사용권을 중재한다.

<45> 도 7은 본 발명의 제1 내지 제3 실시예에서 설명한 버스 중재기를 채용하는 다층 시스템 버스(Multi Layer System Bus) 구조를 설명하는 도면이다. 이를 참조하면, CPU(710)는 제1 시스템 버스(712)를, 제1 마스터 장치 IP1(720)는 제2 시스템 버스(722)를, 그리고 제2 마스터 장치 IP3(730)는 제3 시스템 버스(732)를 전용으로 사용한다. 제1 마스터 장치 IP1(720)은 제1 슬레이브 장치(740)로 데이터를 쓰거나 제1 슬레이브 장치(740)의 데이터를 읽기 위하여 제2 시스템 버스(722)를 사용하고, 제2 마스터 장치 IP2(730)는 제2 슬레이브 장치(750)로 데이터를 쓰거나 제2 슬레이브 장치(750)의 데이터를 읽기 위하여 제3 시스템 버스(732)를 사용한다. 제3 슬레이브 장치(760)는 제1 내지 제3 시스템 버스(712, 722, 732)를 통해 CPU(710), 제1 마스터 장치 IP1(720), 그리고 제2 마스터 장치 IP2(730)와 연결된다. CPU(710), 제1 마스터 장치 IP1(720), 그리고 제2 마스터 장치 IP2(730)가 시스템 메모리 장치(미도시)를 이용하기 때문에, 제3 슬레이브 장치(760)로는 예컨대, 멀티 포트 메모리 컨트롤러(Multi-Port Memory Controller)를 들 수 있다.

<46> 제3 슬레이브 장치(760)인 메모리 컨트롤러에는 본 발명의 제1 내지 제3 실시예에서 설명한 레지스터와 버스 중재기가 포함된다. 메모리 컨트롤러는 레지스터에 저장되는 버스 사용 우선 순위 설정값을 변경하여 각각의 버스에 대한 우선 순위를 조절하고 버스 점유율을 통제한다.

<47> 도 8은 본 발명의 제1 내지 제3 실시예에서 설명한 버스 중재기를 채용하는 PCI 시스템을 설명하는 도면이다. 이를 참조하면, CPU(810)는 호스트 장치인 PCI 브릿지 회로(820)와 연결되고, PCI 브릿지 회로(820)는 PCI 시스템 버스(860)를 통해 제1 및 제2 슬롯들(840, 850)과 연결된다. 제1 또는 제2 슬롯(840, 850)에는 그래픽 카드, 네트워크 카드 또는 사운드 카드 등이 꽂힌다. 이들 카드들에서 발생하는 인터럽트 신호들(INTA, INTB)은 PCI 브릿지 회로(820)를 통해 버스 중재기(830)로 보내진다. 버스 중재기(830)는 인터럽트 신호들(INTA, INTB)에 응답하여 PCI 브릿지 회로(820)와 제1 및 제2 슬롯(840, 850)에 꽂히는 카드 각각에 설정되는 버스 사용 우선 순위 설정값을 변경하여 각각의 버스에 대한 우선 순위를 조절하고 버스 점유율을 통제한다.

<48> 도 8은 PCI 시스템 버스(860)에 대한 우선 순위 조정에 대하여 설명하고 있으나, 이로부터 카드 버스 시스템에 대하여도 확장 적용할 수 있음은 당업자에게 자명하다. 카드 버스 시스템은 카드 인터럽트 신호(CINT)에 응답하여 카드 소켓에 연결되는 카드의 버스 사용 우선 순위를 조절한다.

<49> 본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<50> 상술한 본 발명의 버스 중재 방법에 의하면, CPU의 인터럽트 서비스 동안에는 CPU에게 버스 사용권을 좀 더 많이 할당하여 인터럽트 서비스를 위한 대기 시간 및 처리 시간을 줄여서 인터럽트 서비스를 좀 더 빠른 시간 내에 처리토록 하고, CPU의 인터럽트 서비스 이외의 시간

동안에는 다른 버스 마스터 장치들에게 버스 사용권을 좀 더 할당하여 RTOS(Real Time Operating System)의 동작에 부응한다.

【특허청구범위】**【청구항 1】**

CPU와 제1 및 제2 마스터 장치에 공유되는 시스템 버스를 중재하는 방법에 있어서,

상기 CPU, 상기 제1 및 제2 마스터 장치 각각의 기본 버스 점유율과 가변 버스 점유율을 저장하는 단계;

상기 CPU로 제공되는 인터럽트 신호의 활성화에 응답하여 상기 CPU의 기본 버스 점유율과 상기 가변 버스 점유율을 합한 버스 점유율과 상기 제1 및 제2 마스터 장치들 각각의 상기 기본 버스 점유율을 버스 중재기로 입력하는 단계;

상기 인터럽트 신호의 비활성화에 응답하여 상기 CPU의 기본 버스 점유율에서 상기 가변 버스 점유율을 뺀 버스 점유율과 상기 제1 및 제2 마스터 장치들 각각의 상기 기본 버스 점유율을 상기 버스 중재기로 입력하는 단계; 및

상기 버스 중재기로 입력되는 상기 CPU, 상기 제1 및 제2 마스터 장치의 버스 점유율의 비율에 따라 상기 시스템 버스의 사용 순위를 조정하는 단계를 구비하는 것을 특징으로 하는 버스 중재 방법.

【청구항 2】

CPU와 제1 및 제2 마스터 장치에 공유되는 시스템 버스를 중재하는 방법에 있어서,

상기 CPU, 상기 제1 및 제2 마스터 장치 각각의 기본 버스 점유율과 가변 버스 점유율을 저장하는 단계;

상기 CPU의 특권 모드 신호의 활성화에 응답하여 상기 CPU의 기본 버스 점유율과 상기 가변 버스 점유율을 합한 버스 점유율과 상기 제1 및 제2 마스터 장치들 각각의 상기 기본 버스 점유율을 버스 중재기로 입력하는 단계;

상기 특권 모드 신호의 비활성화에 응답하여 상기 CPU의 기본 버스 점유율에서 상기 가변 버스 점유율을 뺀 버스 점유율과 상기 제1 및 제2 마스터 장치들 각각의 상기 기본 버스 점유율을 상기 버스 중재기로 입력하는 단계; 및

상기 버스 중재기로 입력되는 상기 CPU, 상기 제1 및 제2 마스터 장치의 버스 점유율의 비율에 따라 상기 시스템 버스의 사용 순위를 조정하는 단계를 구비하는 것을 특징으로 하는 버스 중재 방법.

【청구항 3】

CPU와 제1 및 제2 마스터 장치에 공유되는 시스템 버스를 중재하는 방법에 있어서,

상기 CPU, 상기 제1 및 제2 마스터 장치 각각의 기본 버스 점유율과 가변 버스 점유율을 저장하는 단계;

상기 CPU로의 인터럽트 신호 또는 상기 CPU의 특권 모드 신호의 활성화에 응답하여 상기 CPU의 기본 버스 점유율과 상기 가변 버스 점유율을 합한 버스 점유율과 상기 제1 및 제2 마스터 장치들 각각의 상기 기본 버스 점유율을 버스 중재기로 입력하는 단계;

상기 CPU로의 인터럽트 신호 및 상기 CPU의 특권 모드 신호의 비활성화에 응답하여 상기 CPU의 기본 버스 점유율에서 상기 가변 버스 점유율을 뺀 버스 점유율과 상기 제1 및 제2 마스터 장치들 각각의 상기 기본 버스 점유율을 상기 버스 중재기로 입력하는 단계; 및

상기 버스 중재기로 입력되는 상기 CPU, 상기 제1 및 제2 마스터 장치의 버스 점유율의 비율에 따라 상기 시스템 버스의 사용 순위를 조정하는 단계를 구비하는 것을 특징으로 하는 버스 중재 방법.

【청구항 4】

시스템 버스를 공유하는 CPU와 제1 및 제2 마스터 장치를 포함하는 시스템에 있어서,
상기 CPU의 기본 버스 점유율을 가감하는 가변 버스 점유율과 상기 제1 및 제2 마스터 장치 각각의 기본 버스 점유율을 저장하는 장치; 및

상기 CPU로 제공되는 인터럽트 신호에 응답하여 상기 CPU의 기본 버스 점유율과 상기 가변 버스 점유율을 합한 버스 점유율과 상기 CPU의 기본 버스 점유율에서 상기 가변 버스 점유율을 뺀 버스 점유율을 선택적으로 입력하고, 상기 제1 및 제2 마스터 장치들 각각의 상기 기본 버스 점유율을 입력하여, 상기 CPU, 상기 제1 및 제2 마스터 장치의 버스 점유율의 비율에 따라 상기 시스템 버스의 사용 순위를 조정하는 버스 중재기를 구비하는 것을 특징으로 하는 시스템.

【청구항 5】

제4항에 있어서, 상기 버스 중재기는

상기 CPU로 수신되는 인터럽트 신호에 응답하여 상기 CPU의 기본 버스 점유율과 상기 가변 버스 점유율을 합한 버스 점유율과 상기 CPU의 기본 버스 점유율에서 상기 가변 버스 점유율을 뺀 버스 점유율을 선택적으로 입력하는 댁스부를 구비하는 것을 특징으로 하는 시스템.

【청구항 6】

시스템 버스를 공유하는 CPU와 제1 및 제2 마스터 장치를 포함하는 시스템에 있어서,

상기 CPU의 기본 버스 점유율을 가감하는 가변 버스 점유율과 상기 제1 및 제2 마스터 장치 각각의 기본 버스 점유율을 저장하는 장치; 및

상기 CPU로부터 발생하는 특권 모드 신호에 응답하여 상기 CPU의 기본 버스 점유율과 상기 가변 버스 점유율을 합한 버스 점유율과 상기 CPU의 기본 버스 점유율에서 상기 가변 버스 점유율을 뺀 버스 점유율을 선택적으로 입력하고, 상기 제1 및 제2 마스터 장치들 각각의 상기 기본 버스 점유율을 입력하여, 상기 CPU, 상기 제1 및 제2 마스터 장치의 버스 점유율의 비율에 따라 상기 시스템 버스의 사용 순위를 조정하는 버스 중재기를 구비하는 것을 특징으로 하는 시스템.

【청구항 7】

제6항에 있어서, 상기 버스 중재기는

상기 특권 모드 신호에 응답하여 상기 CPU의 기본 버스 점유율과 상기 가변 버스 점유율을 합한 버스 점유율과 상기 CPU의 기본 버스 점유율에서 상기 가변 버스 점유율을 뺀 버스 점유율을 선택적으로 입력하는 믹스부를 포함하는 것을 특징으로 하는 시스템.

【청구항 8】

시스템 버스를 공유하는 CPU와 제1 및 제2 마스터 장치를 포함하는 시스템에 있어서,

상기 CPU의 기본 버스 점유율을 가감하는 가변 버스 점유율과 상기 제1 및 제2 마스터 장치 각각의 기본 버스 점유율을 저장하는 장치; 및

상기 CPU로 제공되는 인터럽트 신호 또는 상기 CPU로부터 발생하는 특권 모드 신호에 응답하여 상기 CPU의 기본 버스 점유율과 상기 가변 버스 점유율을 합한 버스 점유율과 상기 CPU의 기본 버스 점유율에서 상기 가변 버스 점유율을 뺀 버스 점유율을 선택적으로 입력하고, 상

기 제1 및 제2 마스터 장치들 각각의 상기 기본 버스 점유율을 입력하여, 상기 CPU, 상기 제1 및 제2 마스터 장치의 버스 점유율의 비율에 따라 상기 시스템 버스의 사용 순위를 조정하는 버스 중재기를 구비하는 것을 특징으로 하는 시스템.

【청구항 9】

제8항에 있어서, 상기 버스 중재기는

상기 인터럽트 신호와 상기 특권 모드 신호를 입력하는 오아 게이트를 포함하는 것을 특징으로 하는 시스템.

【청구항 10】

제8항에 있어서, 상기 버스 중재기는

상기 인터럽트 신호 또는 상기 특권 모드 신호에 응답하여 상기 CPU의 기본 버스 점유율과 상기 가변 버스 점유율을 합한 버스 점유율과 상기 CPU의 기본 버스 점유율에서 상기 가변 버스 점유율을 뺀 버스 점유율을 선택적으로 입력하는 댁스부를 구비하는 것을 특징으로 하는 시스템.

【청구항 11】

CPU와 제1 및 제2 마스터 장치들 각각이 전용 버스를 사용하는 다중 버스 시스템에 있어서,

상기 CPU, 제1 마스터 장치 및 제2 마스터 장치 각각이 전용으로 사용하는 제1, 제2 및 제3 시스템 버스들; 및

상기 제1 내지 제3 시스템 버스 모두에 연결되는 슬레이브 장치를 구비하고,

상기 슬레이브 장치는

상기 CPU의 기본 버스 점유율을 가감하는 가변 버스 점유율과 상기 제1 및 제2 마스터 장치 각각의 기본 버스 점유율을 저장하는 장치; 및

상기 CPU로 수신되는 인터럽트 신호 또는 상기 CPU로부터 발생하는 특권 모드 신호에 응답하여 상기 CPU의 기본 버스 점유율과 상기 가변 버스 점유율을 합한 버스 점유율과 상기 CPU의 기본 버스 점유율에서 상기 가변 버스 점유율을 뺀 버스 점유율을 선택적으로 입력하고, 상기 제1 및 제2 마스터 장치들 각각의 상기 기본 버스 점유율을 입력하여, 상기 CPU, 상기 제1 및 제2 마스터 장치의 버스 점유율의 비율에 따라 상기 시스템 버스의 사용 순위를 조정하는 버스 중재기를 포함하는 것을 특징으로 하는 다중 버스 시스템.

【청구항 12】

제11항에 있어서, 상기 버스 중재기는

상기 인터럽트 신호와 상기 특권 모드 신호를 입력하는 오아 게이트를 구비하는 것을 특징으로 하는 다중 버스 시스템.

【청구항 13】

제11항에 있어서, 상기 버스 중재기는

상기 인터럽트 신호와 상기 특권 모드 신호에 응답하여 상기 CPU의 기본 버스 점유율과 상기 가변 버스 점유율을 합한 버스 점유율과 상기 CPU의 기본 버스 점유율에서 상기 가변 버스 점유율을 뺀 버스 점유율을 선택적으로 입력하는 맥스부를 구비하는 것을 특징으로 하는 다중 버스 시스템.

【청구항 14】

PCI 버스 시스템에 있어서,

다수개의 슬롯들과 연결되는 PCI 버스;

상기 PCI 버스와 연결되고 상기 PCI 버스 시스템을 제어하는 호스트 장치;

상기 슬롯들에 꽂히는 카드들의 기본 버스 점유율과 상기 기본 버스 점유율을 가감하는 가변 버스 점유율을 저장하는 장치; 및

상기 카드들에서 발생하는 인터럽트 신호들에 응답하여 상기 카드들의 버스 점유율의 비율에 따라 상기 PCI 버스의 사용 순위를 조정하는 버스 중재기를 포함하는 것을 특징으로 하는 PCI 버스 시스템.

【청구항 15】

제14항에 있어서, 상기 호스트 장치는

PCI 브릿지 회로인 것을 특징으로 하는 PCI 버스 시스템.

【청구항 16】

제14항에 있어서, 상기 카드들은

그래픽 카드, 네트워크 카드 또는 사운드 카드로 구성되는 것을 특징으로 하는 PCI 버스 시스템.

【청구항 17】

카드 버스 시스템에 있어서,

카드 버스에 연결되는 카드;

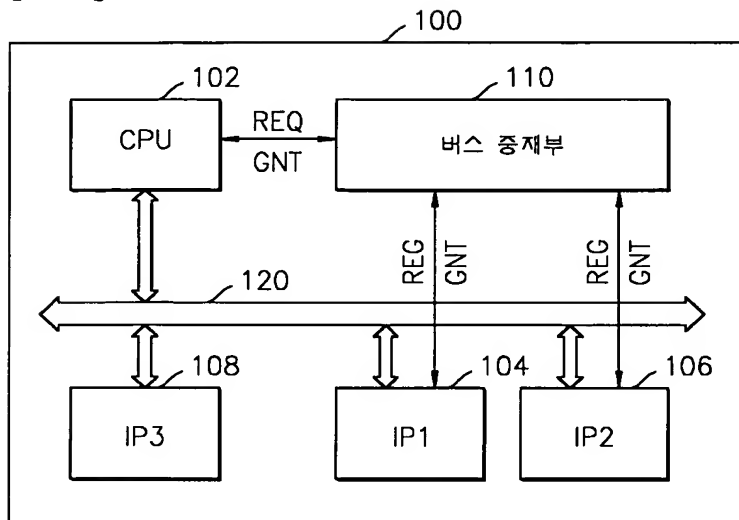
상기 카드 버스와 연결되고 상기 카드 버스 시스템을 제어하는 호스트 장치;

상기 카드의 기본 버스 점유율과 상기 기본 버스 점유율을 가감하는 가변 버스 점유율을 저장하는 장치; 및

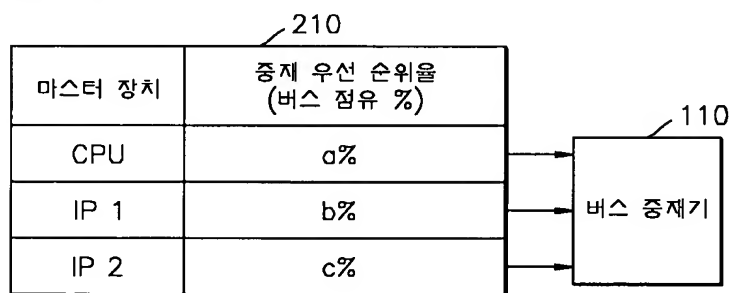
상기 카드에서 발생하는 인터럽트 신호들에 응답하여 상기 카드의 버스 점유율의 비율에 따라 상기 카드 버스의 사용 순위를 조정하는 버스 중재기를 포함하는 것을 특징으로 하는 카드 버스 시스템..

【도면】

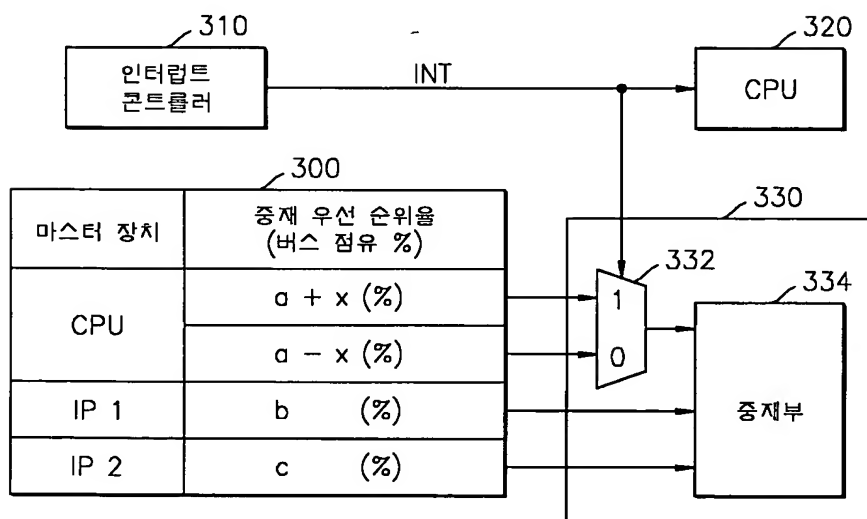
【도 1】



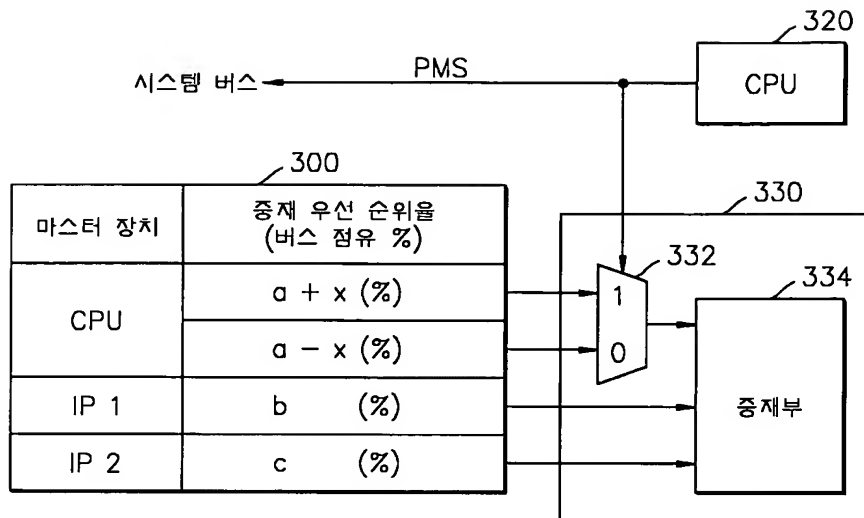
【도 2】



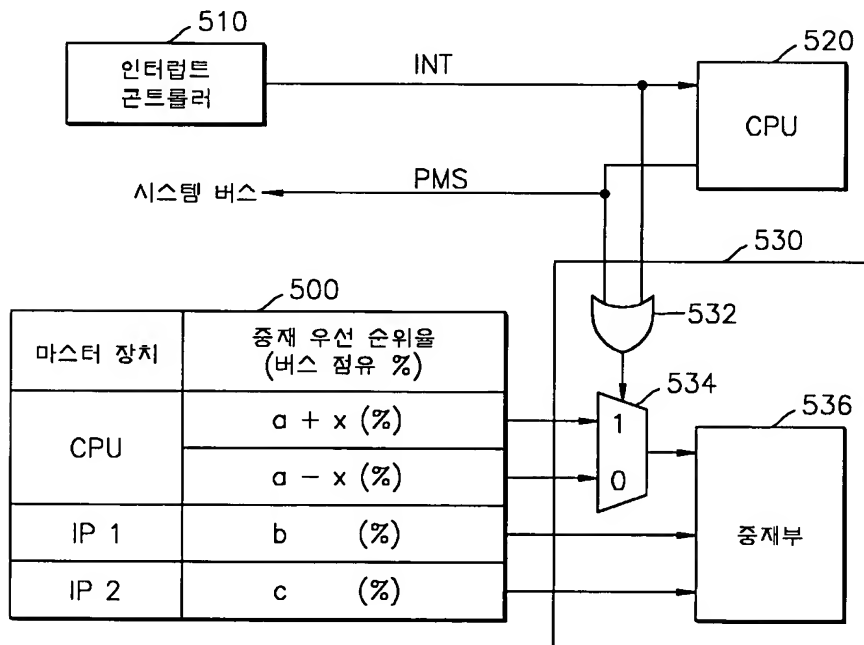
【도 3】



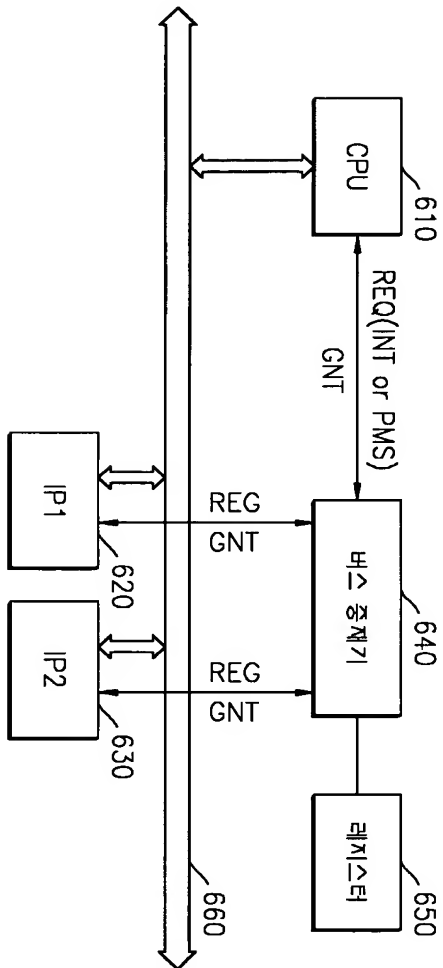
【도 4】



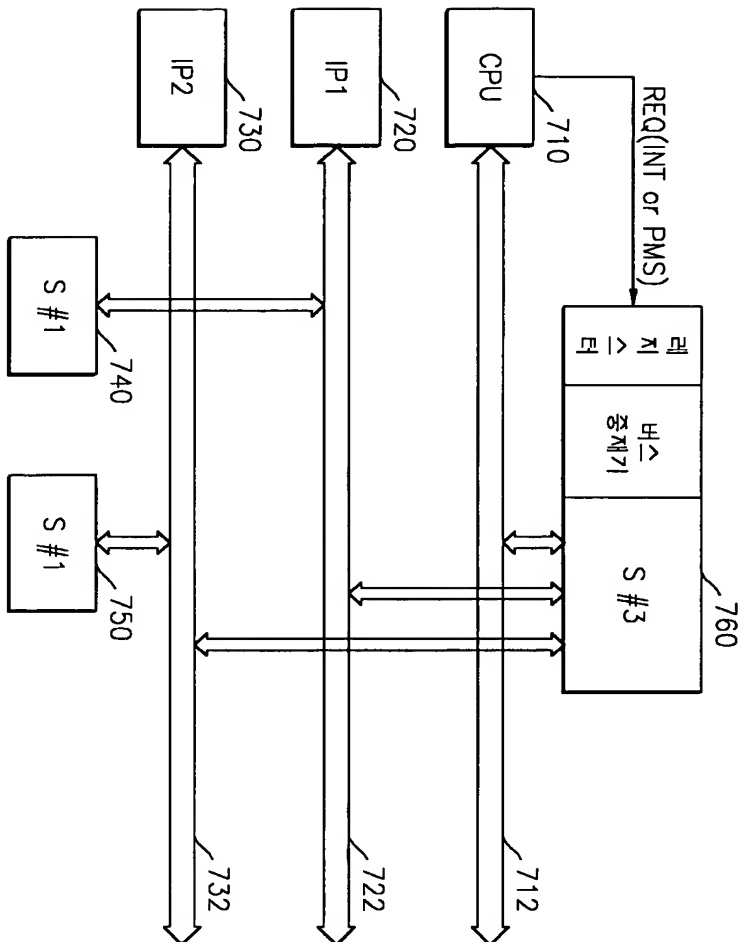
【도 5】



【도 6】



【도 7】



【도 8】

